

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-144423

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月18日

H 03 M 1/10

A

9065-5J

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 ADコンバータ

⑯ 特 願 平2-268107

⑰ 出 願 平2(1990)10月5日

⑱ 発 明 者 伏 見 和 郎 東京都東村山市栄町1-18-28

⑲ 発 明 者 南 孝 男 東京都昭島市武蔵野3丁目1番2号 日本電子株式会社内

⑳ 出 願 人 日本電子株式会社 東京都昭島市武蔵野3丁目1番2号

㉑ 代 理 人 弁理士 阿部 龍吉 外7名

明 細 書

1. 発明の名称

ADコンバータ

2. 特許請求の範囲

(1) 入力アナログ信号のピークをホールドする手段、所定の波形で変化するベデスタル信号を発生するベデスタル信号発生手段、ベデスタル信号をピークホールドされた入力アナログ信号に加算する信号加算手段、該信号加算手段の出力を高速度でサンプリングしデジタル信号に変換するAD変換手段、該AD変換手段の出力を累計する累算手段、該累算手段の出力をサンプリング回数で平均化する平均化手段を備え、入力アナログ信号をデジタル信号に変換する際の微分非直線性の平均化を行うように構成したことを特徴とするADコンバータ。

(2) ベデスタル信号発生手段は、複数の波形の選択とレベル調整が可能に構成されたことを特徴とする請求項1記載のADコンバータ。

(3) AD変換手段としてフラッシュ型ADコン

バータを用いたことを特徴とする請求項1記載のADコンバータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、入力アナログ信号をデジタル信号に変換する際の微分非直線性の平均化を行うADコンバータに関する。

(従来の技術)

放射線スペクトロメータのような統計分析やヒストグラムの使い方を要するAD(アナログ→デジタル)コンバータは、非常に高い微分非直線性が要求される。このため従来はウィルキンソン型と言われるADコンバータや逐次比較型ADコンバータを利用したスライディングスケール方式のADコンバータが用いられ、1%以下の微分非直線性を実現している。

第8図は従来のウィルキンソン型ADコンバータを説明するための図であり、これは、同図(a)に示すように入力アナログ信号の波高に等しい電圧に充電(ピークホールド)した電荷を一定電流で

BEST AVAILABLE COPY

直線的に放電させ、その放電が完了するまでの時間（カウント有効期間）をクロックパルスで計数する方式である。このADコンバータは、時間計測の微分非直線性のよいことを利用したもので、正確な周期のクロックパルスで放電時間を計数することで、良好な微分非直線性を得ている。

第7図はスライディングスケール方式のADコンバータの構成図で、AD変換毎に、逐次比較型ADコンバータのLSB（最小ビット）電圧に相当する ΔV ステップで変化させられた直流電圧を、ピークホールドされた入力アナログ信号に加えてAD変換を実行し、得られた結果から加えた直流電圧を発生したデジタル値を差し引いて最終結果とするものである。

この操作によって、第8図に示すように最初のAD変換ではデジタルコード「10」をとった変換用物差しの領域が、次の変換時には「9」、そして次には「8」、「7」、「6」、……となるように物差しをスライドすることで、統計的な平均化を行って微分非直線性の向上を図ったもの

3

〔課題を解決するための手段〕

そのために本発明のADコンバータは、入力アナログ信号のピークをホールドする手段、所定の波形で変化するベデスタル信号を発生するベデスタル信号発生手段、ベデスタル信号をピークホールドされた入力アナログ信号に加算する信号加算手段、該信号加算手段の出力を高速でサンプリングしデジタル信号に変換するAD変換手段、該AD変換手段の出力を累計する累算手段、該累算手段の出力をサンプリング回数で平均化する平均化手段を備え、入力アナログ信号をデジタル信号に変換する際の微分非直線性の平均化を行うように構成したことを特徴とするものである。

〔作用〕

本発明のADコンバータでは、ベデスタル信号発生手段、信号加算手段、AD変換手段により、入力アナログ信号にベデスタル信号を加算して高速でサンプリングし、デジタル信号に変換することによって得られるいくつかのデジタル値は、微分非直線性を反映した度数となって現れる。このた

である。

〔発明が解決しようとする課題〕

第10図は微分非直線性を説明するための図である。

ADコンバータの微分非直線性は、一般的にLSB（最小ビット）電圧 ΔV からのずれで表され、全変換点において求められた内の最も大きい値が用いられる。

実線で示すように各変換点におけるアナログ幅が ΔV であれば、このADコンバータの微分非直線性は0%となる。しかし、多くのADコンバータが現実には点線で示すように各変換点でアナログ幅が ΔV_1 、 ΔV_2 、……のように ΔV からのずれを持ち、ADコンバータの方式による固有の微分非直線性を生じる。

本発明は、最大±50%の微分非直線性を持つ逐次比較型ADコンバータやフラッシュ型コンバータを放射線計測やX線計測のADコンバータに応用するために、微分非直線性の向上を図ることを目的とするものである。

4

め、これを累積手段、平均化手段で累計し平均化することで、微分非直線性の向上を図ることができる。

〔実施例〕

以下、図面を参照しつつ実施例を説明する。

第1図は本発明に係るADコンバータの1実施例を示す図、第2図は第1図に示すADコンバータの動作を説明するための波形図である。図中、1はピークホールド回路、2は信号加算回路、3はフラッシュADC、4は累算器、5は割算器、6はコントロール回路、7はレベル調整器、8は波形選択器、9はベデスタル信号発生器を示す。

第1図において、ピークホールド回路1は、入力アナログ信号のピーク値をホールドするものであり、ベデスタル信号発生器9は、レベル調整器7と波形選択器8で設定されたレベルと波形のベデスタル信号を発生するものである。信号加算回路2は、ピークホールド回路1でホールドしたアナログ信号とベデスタル信号発生器9で発生したベデスタル信号とを加算するものであり、フラッ

5

—162—

6

BEST AVAILABLE COPY

シュADC3は、信号加算回路2から出力された入力信号とベデスタル信号との加算信号を高速度でサンプリングし、ディジタル信号に変換するアナログディジタルコンバータである。累算器4は、サンプリングしたフラッシュADC3の出力を累計し、割算器5は、その累計した累算器4の出力をサンプリング回数で割って平均化するものである。コントロール回路6は、ピークホールド回路1のピーク検出信号をトリガにしてベデスタル信号発生器9、フラッシュADC3、累算器4、割算器5の動作を制御するものである。

次に、全体の動作を第2図で説明する。

第2図の(入力)に示すような入力電圧を計測する場合、ピークホールド回路1は、この電圧波形のピークをホールドし、コントロール回路6に対してピーク検出信号(PKDET)を出力する。このピーク検出信号によりコントロール回路6は、これをADスタート信号としADサンプリングクロック①をフラッシュADC3に、積和タイミングクロック②を累算器4に、AD動作期間信号③、

④をピークホールド回路1、ベデスタル信号発生器9にそれぞれ送出し、さらに、AD動作期間の終了時には平均化信号⑤を割算器5に送出する。ベデスタル信号発生器9は、AD動作期間信号④の間、時間に比例して増加するベデスタル信号⑥を発生するので、信号加算回路2では、これと入力信号のピークホールド値とを加算した信号⑦を出力する。そこで、フラッシュADC3では、この信号をADサンプリングクロック①により高速サンプリングしてディジタル信号に変換して出力し、累算器4で積和タイミングクロック②により逐次累算する。そして、累算器4の累算出力を最後に割算器5で平均化する。

第3図は微分非直線性の平均化を説明するための図である。

もし、ベデスタル信号がなければ同一ディジタル値(別表現ではチャネル)を累算することになり平均化は計れないが、上記のようにベデスタル信号を加えることにより平均化される。

例えばベデスタル信号が上記の例のようにリニ

ヤーに変化する信号であれば一定数のサンプリング後のディジタル値(チャネル)分布は、微分非直線性の分布に添ったものとなるので、サンプリング数で平均化することにより、微分非直線性が平均化したことになる。この関係を示したのが第3図であり、(イ)はオリジナルな微分非直線性分布を誇張して示し、(ロ)は改善後の微分非直線性分布を示している。このように入力信号にベデスタル信号を加えた信号によるa範囲の平均値がa'、b範囲の平均値がb'、……e範囲の平均値がe'で与えられる。なお、この場合には、平均化のためのチャネルシフトが生じるが、これは補正を加えればよい。

また、微分非直線性の向上は、フラッシュADCのもつ固有の微分非直線性分布(パターン)をいかに平均化して向上させるかにある。そのため、加えるベデスタル信号波形とレベルで平均化効率に変化する。そこで、ベデスタル信号発生回路は、数種類の波形発生とレベル調整を可能な構成にすると、さらに、波形の選択とレベル調整によって

微分非直線性の向上を図ることができる。

第4図は放射線計測等における波高計測部の構成例を示す図で、11は検出機、12はプリアンプ、13は波形整形回路を含むメインアンプ、14は本発明によるADコンバータである。第5図はベデスタル分を考慮した波形整形の例を説明するための図である。

放射線計測等の波高計測部では、プリアンプの出力信号レベルが小さくSN比が悪いため、適当なフィルタを施してこれを改善し、波高値に相当するパルス信号とするため、第4図に示すように波形整形回路13をもっている。この波形整形において、あたかも前述した平均化のためのベデスタルをはいたような波形整形(第5図②)がなされれば、直接にこの信号を累算して平均化してもよい。

また、入力信号波形が台形波や矩形波のようであれば、ベデスタル波形を選択し、レベル調整をして入力信号に加えて直接に累算して平均化を行うようにしてもよい。なお、このときには、信号

ホールドは行なわない。

以上のように波形整形と本発明によるADコンバータを組合わせることにより、高計数率を実現するADコンバータが構成可能になる。

なお、本発明は、上記の実施例に限定されるものではなく、種々の変形が可能である。例えば上記の実施例では、フラッシュ型ADコンバータを用いたが、ADサンプリングクロックの周期で変換可能な逐次型ADコンバータであればこれを用いて構成してもよい。また、割算器5は、サンプリング回数に対応した平均化データを得るものであれば割算器以外のものを用いてもよい。

〔発明の効果〕

以上の説明から明らかなように、本発明によれば、ピーク・ホールドされた入力信号にベデスタル信号を加えて入力信号をある一定範囲内で揺さぶり、多数回の高速サンプリングを実施してその累算を行い、サンプリング回数で割って平均化するので、ベデスタル信号によって揺さぶれた範囲の平均値を求めることができ、この平均化、すな

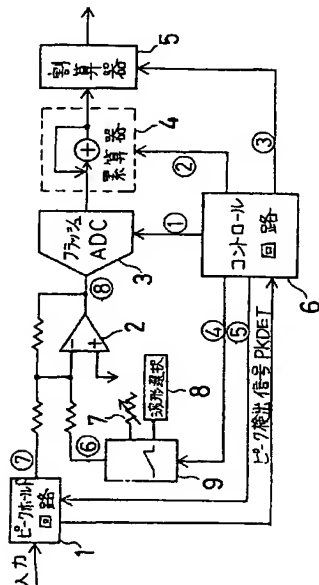
わち微分非直線性の平均化で微分非直線性を向上させることができる。

4. 図面の簡単な説明

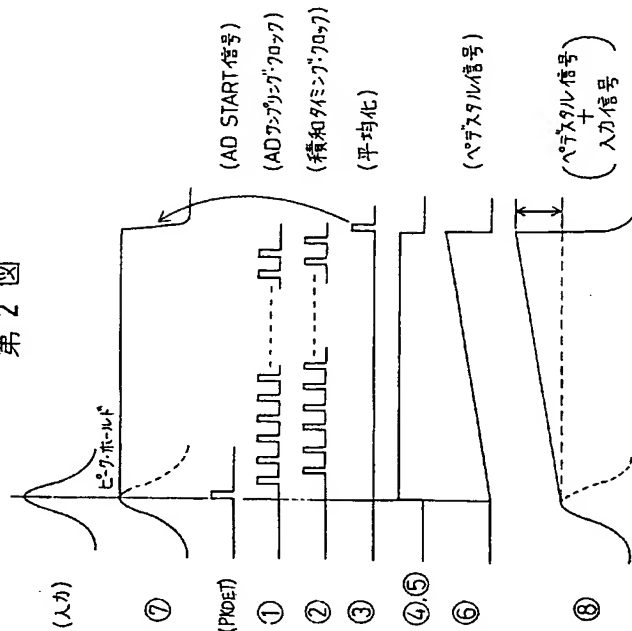
第1図は本発明に係るADコンバータの1実施例を示す図、第2図は第1図に示すADコンバータの動作を説明するための波形図、第3図は微分非直線性の平均化を説明するための図、第4図は放射線計測等における波高計測部の構成例を示す図、第5図はベデスタルをはかせた例を説明するための図、第6図は従来のウィルキンソン型ADコンバータを説明するための図、第7図はスライディングスケール方式ADコンバータの構成図、第8図は第7図に示すスライディングスケール方式ADコンバータの微分非直線性の平均化を説明するための図、第9図は微分非直線性を説明するための図である。

1…ピークホールド回路、2…信号加算回路、3…フラッシュADC、4…累算器、5…割算器、6…コントロール回路、7…レベル調整器、8…波形選択器、9…ベデスタル信号発生器。

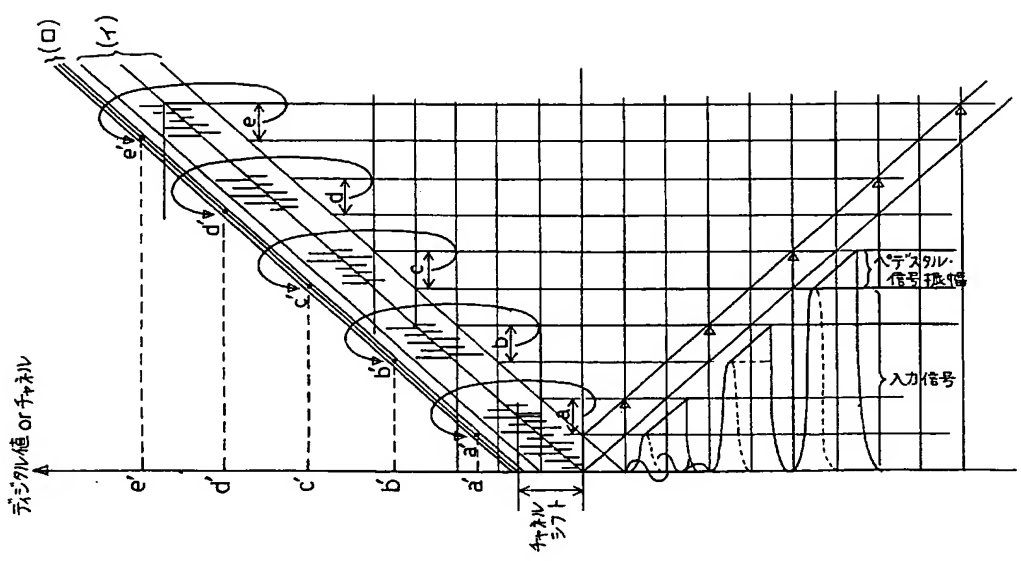
第1図



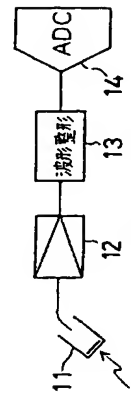
第2図



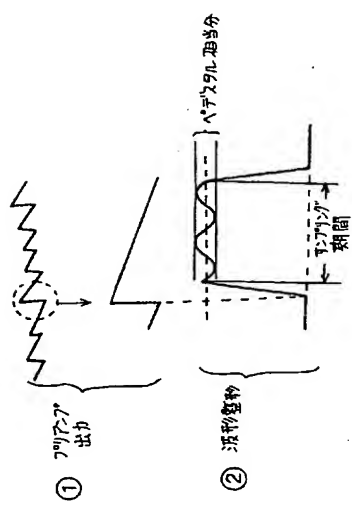
第 3 図



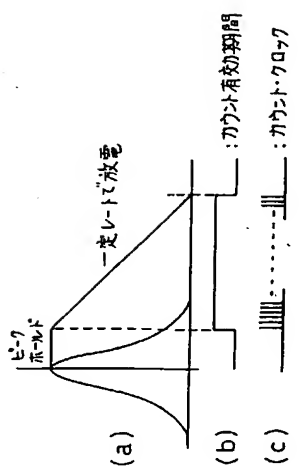
第 4 図



第 5 図



第 6 図



因
〇
缺

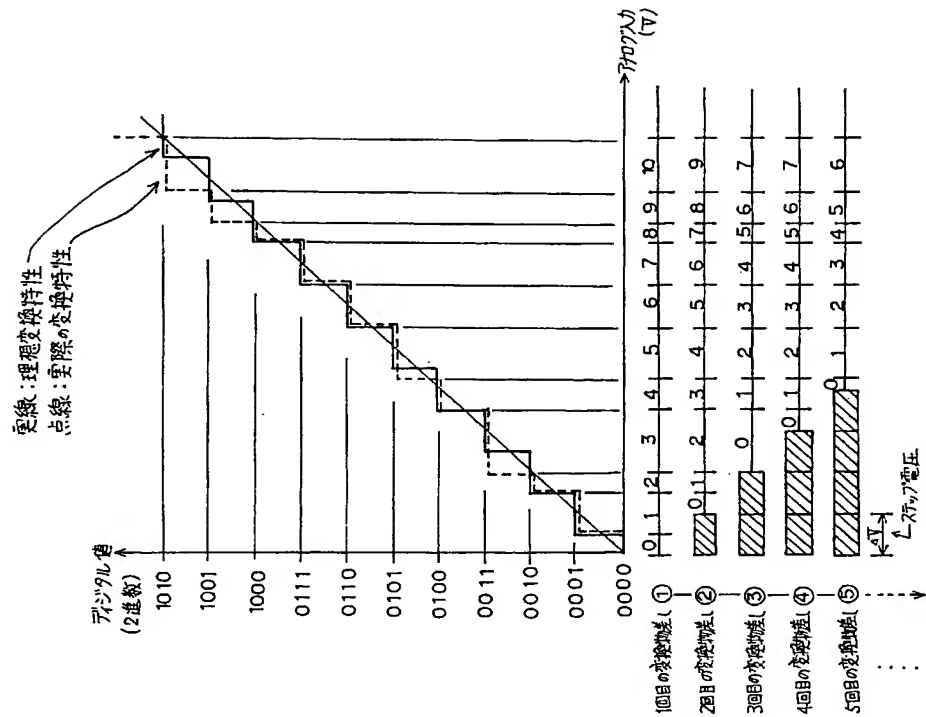
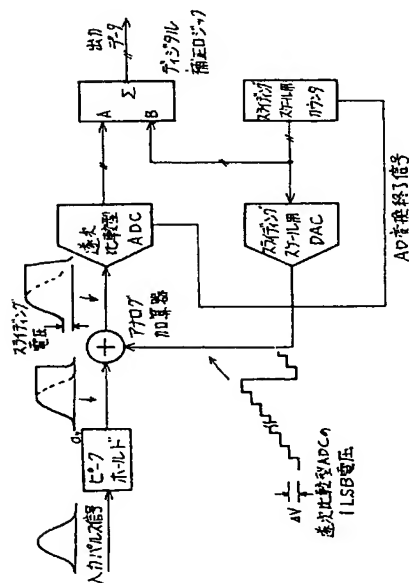
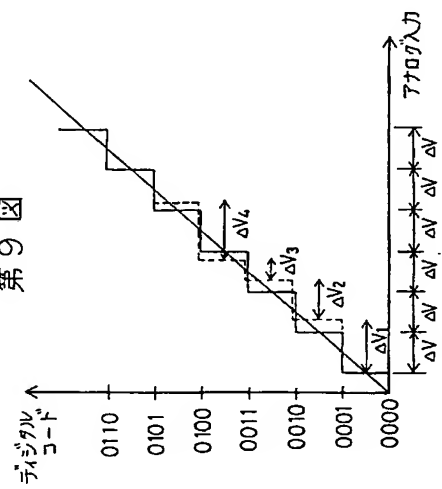


圖 7 築



の紙



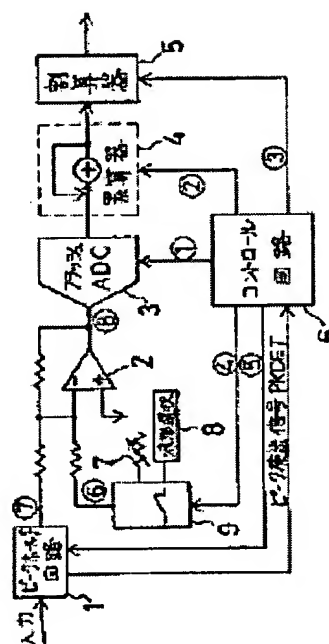
A/D CONVERTER

Patent number: JP4144423
Publication date: 1992-05-18
Inventor: FUSHIMI KAZUO; MINAMI TAKAO
Applicant: JEOL LTD
Classification:
 - international: H03M1/10
 - european:
Application number: JP19900268107 19901005
Priority number(s): JP19900268107 19901005

Abstract of JP4144423

PURPOSE: To improve differentiated non-linearity by adding a pedestal signal to a peak-held input signal, executing rapid sampling many times, accumulating the sampled results and dividing the accumulated of sampling value by the number of times of sampling to average the sampled values.

CONSTITUTION: A signal adder 2 adds a pedestal signal generated from a pedestal signal generator 9 to an analog signal held by a peak holding circuit 1. A flash ADC 3 samples the addition signal between the input signal outputted from the adder 2 and the pedestal signal at a high speed and converts the sampled signal into a digital signal. An accumulator 4 accumulates outputs sampled by the ADC 3 and a divider 5 divides the accumulated output of the accumulator 4 by the number of times of sampling to average the sampled signals. Consequently, the differentiated non-linearity can be improved.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

Docket # S4-02P11627

Applic. # PCT/DE2003/002580

Applicant: MEIER, BERND ET AL.

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101